

CLIPPEDIMAGE= JP402043748A

PAT-NO: JP402043748A

DOCUMENT-IDENTIFIER: JP 02043748 A

TITLE: PACKAGING OF INTEGRATED CIRCUIT CHIP

PUBN-DATE: February 14, 1990

INVENTOR-INFORMATION:

NAME

TAMAOKI, SHUNPEI

ASSIGNEE-INFORMATION:

NAME

RICOH CO LTD

COUNTRY

N/A

APPL-NO: JP63195033

APPL-DATE: August 4, 1988

INT-CL (IPC): H01L021/60;H01L021/321

US-CL-CURRENT: 228/180.22

ABSTRACT:

PURPOSE: To package an IC chip provided with pads, the pitch being smaller than in a conventional design, onto a substrate using the flip chip bonding method without inducing bonding defects by a method wherein a low-melting solder bump is formed on a large pad and a high-melting solder bump is formed on a small pad prior to packaging, both on the IC chip.

CONSTITUTION: Prior to packaging an IC chip 9 onto a substrate 17 using the flip chip bonding method, a large pad 10 and a small pad 11 are provided on the IC chip 9, a low-melting solder bump 14 is formed on the large pad 10, and a high-melting solder bump 15 is formed on the small pad 11.

For example, the IC chip 9 is mounted on the substrate 17, the entirety is placed in a solder reflow oven and then heated to the melting point of the low-melting solder bump 14, whereby the large pad 10 of the IC chip 9 is bonded to a large pad 18 on the substrate 17. The temperature in the oven is elevated next to the melting point of the high-melting solder bump 15, whereby the small pad 11 of the IC chip 9 is bonded to a small pad 19 on the substrate 17.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A) 平2-43748

⑤ Int.Cl.⁵H 01 L 21/60
21/321
21/60

識別記号

3 1 1 Q

3 1 1 S

庁内整理番号

6918-5F

6918-5F
6824-5F

④ 公開 平成2年(1990)2月14日

H 01 L 21/92

B

審査請求 未請求 請求項の数 2 (全6頁)

⑥ 発明の名称 ICチップ実装方法

⑪ 特 願 昭63-195033

⑫ 出 願 昭63(1988)8月4日

⑬ 発 明 者 玉 置 俊 平 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑭ 出 願 人 株式会社リコー 東京都大田区中馬込1丁目3番6号

明 細 書

1. 発明の名称

ICチップ実装方法

2. 特許請求の範囲

1. ICチップを基板にフリップチップ方式で実装するに際して、あらかじめ、上記ICチップに大型パッド及び小型パッドを設け、上記大型パッドには低融点半田バンプを形成し、上記小型パッドには高融点半田バンプを形成しておくことを特徴とするICチップ実装方法。

2. ICチップを基板にフリップチップ方式で実装するに際して、あらかじめ、上記ICチップに大型パッド及び小型パッドを設け、これら大型パッド及び小型パッドにそれぞれ高融点半田バンプを形成するとともに、上記ICチップの上記大型パッドが対応する上記基板のパッドには低融点半田バンプを形成しておくことを特徴とするICチップ実装方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、サーマルヘッドの製造工程において、ドライバICを配線基板にフリップチップ方式で実装する場合等に使用して好適なICチップ実装方法に関する。

[従来の技術]

従来、ICチップとして、第6図及び第7図にそれぞれその概略的平面図及び概略的断面図を示すようなものが提案されている。なお、第7図は、その縮尺を第6図よりも大きくしている。

このICチップ1は、その表面に同一の大きさを有するA1からなる多数のボンディングパッド(以下、単に「パッド」という)2を設け、これらパッド2上に、それぞれCr、Cuの金属薄膜3を介して、半田バンプ4を形成して構成されている。なお、5はパッシベーション膜である。

かかるICチップ1は、第8図A及びBに示すようにして基板6に実装することができる。

即ち、先ず、第8図Aに示すように、ICチップ1を基板6上にマウントし、これを半田リフロー炉内に配置して、この半田リフロー炉内の温度

を上昇させる。このようにすると、第8図Bに示すように、半田バンパ4が融解し、半田バンパ4を構成している半田7が基板6に設けられたパッド8上に広がり、ICチップ1のパッド2と基板6のパッド8とがボンディングされる。

ここに、第8図Aに示すように、ICチップ1を基板6上にマウントしたときに、ある程度の位置的誤差、即ち、マウントずれdがあったとしても、このマウントずれdは、溶融した半田7の表面張力によって、ほぼ矯正されてしまう。これはフリップチップ方式が有する利点の一つである。
[発明が解決しようとする課題]

しかしながら、マウントずれdがパッド2、8のピッチでほぼ決定される或る値以上になると、半田7による矯正が行われなくなり、ボンディング不良となる。

そこで、かかる従来のICチップ実装方法の下において、ボンディング不良を回避しようとする、マウント精度を考慮した大きさのパッド2、8、即ち、マウント精度内において最大のマウン

トずれが生じた場合であっても、ボンディングを行うことができる大きさのパッド2、8を設けるようにしなければならず、この限りにおいて、パッド2、8のピッチが大きくならざるを得なかった。

換言すれば、かかる従来のICチップ実装方法の下においては、ICチップ1の基板6へのマウント精度がパッド2、8のピッチを決定してしまい、このピッチよりも小さいピッチのパッドを形成すると、ボンディング不良となる場合があり、このため、ICチップ1に高密度のパッドを形成することができず、結果として、高密度のパッドを形成したICチップの実装を不可能としていた。

そこで、本発明は、従来、ボンディング不良を発生させないために、マウント精度によって決定されていたピッチよりも小さいピッチのパッドを有するICチップをフリップチップ方式によって、ボンディング不良を発生させることなく、基板に実装できるようにしたICチップ実装方法を提供することを目的とする。

[課題を解決するための手段]

上記目的を達成する第1の発明は、ICチップ9を基板17にフリップチップ方式で実装するに際して、あらかじめ、ICチップ9に大型パッド10及び小型パッド11を設け、大型パッド10には低融点半田バンパ14を形成し、小型パッド11には高融点半田バンパ15をそれぞれ形成しておくとするものである(第1図、第2図参照)。

また、第2の発明は、ICチップ9を基板17にフリップチップ方式で実装するに際して、あらかじめ、ICチップ9に大型パッド10及び小型パッド11を設け、これら大型パッド10及び小型パッド11にそれぞれ高融点半田バンパ22及び15を形成するとともに、ICチップ9の大型パッド10が対応する基板17のパッド18には低融点半田バンパ23を形成しておくとするものである(第4図参照)。

[作用]

第1の発明においては、大型パッド10に形成した低融点半田バンパ14を小型パッド11に形

成した高融点半田バンパ15よりも先に融解し、この低融点半田バンパ14を構成する低融点半田20の表面張力によって、ICチップ9の基板17に対するマウントずれDを矯正することができる(第3図参照)。

また、第2の発明においては、ICチップ9の大型パッド10が対応する基板17のパッド18に形成した低融点半田バンパ23を最初に融解し、これとほぼ同時に、これに溶解する形で、ICチップ9の大型パッド10に形成した高融点半田バンパ22を、ICチップ9の小型パッド11に形成した高融点半田バンパ15よりも先に融解し、この高融点半田バンパ22を構成する高融点半田24の表面張力によって、ICチップ9の基板17に対するマウントずれDを矯正することができる(第5図参照)。

[実施例]

以下、先ず、第1図ないし第3図を参照して、本発明の一実施例につき説明する。尚、第2図及び第3図は、その縮尺を第1図よりも大きくして

いる。

この実施例においては、第1図及び第2図に示すように、ICチップ9は、その表面にAlからなるピッチの大きい比較的少数の大型パッド10と、同じくAlからなるピッチの小さい比較的多数の小型パッド11とを設け、大型パッド10にはCr、Cuの金属薄膜12を介して低融点半田バンパ14を形成し、小型パッド11上にはCr、Cuの金属薄膜13を介して高融点半田バンパ15を形成し、これを構成する。なお、16は、パッシベーション膜である。

ここに、この実施例は、大型パッド10については、これを長手方向に沿う中央部に一列に配置し、小型パッド11については、これを長手方向に沿う両端部にそれぞれ一列に配置した例である。

また、基板17は、第2図に示すように、その表面にICチップ9の大型パッド10及び小型パッド11にそれぞれを対応させた大型パッド18及び小型パッド19を設け、これを構成する。

この場合、第3図Aに示すように、ICチップ9と、基板17との間にマウントずれDがあったとしても、第3図Bに示すように、このマウントずれDは、低融点半田バンパ14の融解時、この低融点半田バンパ14を構成していた低融点半田20の表面張力によって、ほぼ矯正されてしまう。

そこで、続いて、半田リフロー炉内の温度を高融点半田バンパ15の融点に昇温する。このようにすると、第3図Cに示すように、高融点半田バンパ15が融解し、この高融点半田バンパ15を構成していた高融点半田21が基板17に設けられた小型パッド19上に広がり、ICチップ9の小型パッド11と基板17の小型パッド19とがボンディングされる。

以上のように、この実施例においては、ICチップ9の大型パッド10及び基板17の大型パッド18を、それぞれマウントずれを考慮した大きさ、即ち、マウント精度内において最大限のマウントずれが生じた場合であっても、ICチップ9の大型パッド10を基板17の大型パッド18に

ここに、ICチップ9に設ける大型パッド10及び基板17に設ける大型パッド18は、それぞれICチップ9の基板17に対するマウントずれを考慮した大きさとする。即ち、マウント精度内において最大限のマウントずれが生じた場合であっても、ICチップ9の大型パッド10を基板17の大型パッド18にボンディングできる大きさとする。

この実施例においては、このように構成したICチップ9及び基板17を用意した後、第3図Aに示すように、ICチップ9を基板17にマウントし、これを半田リフロー炉内に配置し、この半田リフロー炉内を低融点半田バンパ14の融点に加熱する。

このようにすると、第3図Bに示すように、低融点半田バンパ14が融解し、低融点半田バンパ14を構成していた低融点半田20が基板17に設けられた大型パッド18上に広がり、ICチップ9の大型パッド10と基板17の大型パッド18とがボンディングされる。

ボンディングできる大きさとし、且つ、ICチップ9の大型パッド10に低融点半田バンパ14を形成することによって、ICチップ9の小型パッド11の基板17の小型パッド19に対するボンディングに先立って、ICチップ9の大型パッド10の基板17の大型パッド18に対するボンディングを実行し、この際に、マウントずれDについては、これを、ほぼ矯正できるようにしている。

したがって、この実施例においては、ICチップ9の小型パッド11及び基板17の小型パッド19が、従来、ボンディング不良を発生させないために、マウント精度によって決定されていたピッチよりも小さいピッチに形成されているとしても、これらICチップ9の小型パッド11と基板17の小型パッド19との間に、ボンディング不良が発生することはない。

即ち、この実施例によれば、ICチップ9に従来例よりも高密度のパッド11を設けた場合であっても、フリップチップ方式によって、ボンディング不良を発生させることなく、これを基板17

に実装できるという効果が得られる。

次に、第4図及び第5図を参照して、本発明の他の実施例につき説明する。

この実施例においては、ICチップ9は、第4図に示すように、大型パッド10に高融点半田バンパ22を形成し、その他については、第1図例と同様に構成する。

また、基板17は、大型パッド18に低融点半田バンパ23を形成し、その他については、第2図例と同様に構成する。

そして、第5図Aに示すように、ICチップ9を基板17にマウントし、これを半田リフロー炉内に配置し、この半田リフロー炉内の温度を上昇させる。このようにすると、最初に、基板17の大型パッド18に形成した低融点半田バンパ23が融解し、これとほぼ同時に、これに溶解する形でICチップ9の大型パッド10に形成した高融点半田バンパ22が融解し、第5図Bに示すように、この高融点半田バンパ22を構成していた高融点半田24が基板17の大型パッド18上に広

がり、ICチップ9の大型パッド10と基板17の大型パッド18とがボンディングされる。

この場合、第5図Aに示すように、ICチップ9と、基板17との間にマウントずれDがあったとしても、第5図Bに示すように、このマウントずれDは、高融点半田バンパ22の融解時、この高融点半田バンパ22を構成していた高融点半田24の表面張力によって、ほぼ矯正されてしまう。

続いて、第5図Cに示すように、ICチップ9の小型パッド11に形成した高融点半田バンパ15が融解し、この高融点半田バンパ15を構成していた高融点半田21が基板17の小型パッド19上に広がり、ICチップ9の小型パッド11と基板17の小型パッド19とがボンディングされる。

以上のように、この実施例においては、大型パッド10に高融点半田バンパ22を形成するとともに、基板17の大型パッド18に低融点半田バンパ23を形成することによって、第1図～第3図例と同様に、ICチップ9の小型パッド11の

基板17の小型パッド19に対するボンディングに先立って、ICチップ9の大型パッド10の基板17の大型パッド18に対するボンディングを実行し、この際に、マウントずれDについては、これを、ほぼ矯正できるようにしている。

したがって、この実施例においても、第1図～第3図例と同様の効果を得ることができる。

また、この実施例においては、ICチップ9に融点の異なる半田バンパを形成する必要があるないので、第1図～第3図例に比較して、実装の準備作業を容易化できるという格別の効果を得ることができる。

〔発明の効果〕

請求項1のICチップ実装方法においては、ICチップの大型パッドに形成した低融点半田バンパをICチップの小型パッドに形成した高融点半田バンパよりも先に融解し、この低融点半田バンパを構成していた低融点半田の表面張力によってマウントずれを矯正できるようにしたことにより、ICチップに形成する大型パッド及び基板に形成

する大型パッドを、それぞれマウントずれを考慮した大きさ、即ち、マウント精度内において最大限のマウントずれが生じた場合であっても、ICチップの大型パッドを基板の大型パッドにボンディングできる大きさとすることによって、ICチップに形成する小型パッド及び基板に形成する小型パッドを、それぞれ従来例のパッドの大きさよりも小さくし、そのピッチを高密度にしたとしても、即ち、ICチップに形成する小型パッド及び基板に形成する小型パッドを、従来、ボンディング不良を発生させないために、マウント精度によって決定されていたピッチよりも小さいピッチに形成したとしても、フリップチップ方式によって、ボンディング不良を発生させることなく、これを基板に実装できるという効果が得られる。

また、請求項2のICチップ実装方法においては、ICチップの大型パッドに対応する基板のパッドに形成した低融点半田バンパを最初に融解し、これとほぼ同時に、これに溶解する形でICチップの大型パッドに形成した高融点半田バンパを融

解し、この高融点半田バンプを構成していた高融点半田の表面張力によって、マウントずれを矯正できるようにしたことにより、請求項1の発明と同様の効果を得ることができるほか、ICチップに融点の異なる半田バンプを形成する必要がないので、請求項1の発明に比較して、実装の準備作業を容易化できるという格別の効果を得られる。

4. 図面の簡単な説明

第1図は本発明の一実施例で使用するICチップを示す概略的平面図、第2図は第1図のII-II'線に沿ったICチップの断面を、対応する基板の断面とともに示す概略的断面図、第3図は第1図例のICチップを実装する様子を示す概略的断面図、第4図は本発明の他の実施例で使用するICチップ及び基板を示す概略的断面図、第5図は第4図例のICチップを実装する様子を示す概略的断面図、第6図は従来のICチップを示す概略的平面図、第7図は第6図のVI-VI'線に沿った概略的断面図、第8図は第6図例のICチップを実装する様子を示す概略的断面図である。

9…ICチップ

10…ICチップの大型パッド

11…ICチップの小型パッド

14、23…低融点半田バンプ

15、22…高融点半田バンプ

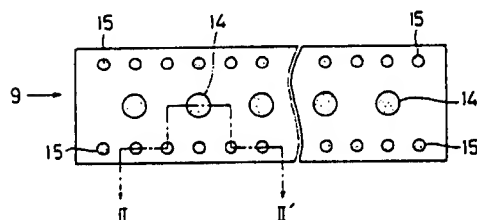
17…基板

18…基板の大型パッド

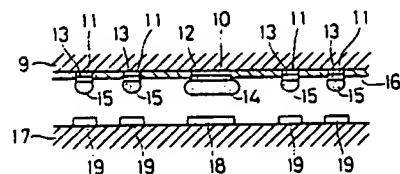
19…基板の小型パッド

出願人 株式会社 リ コ ー

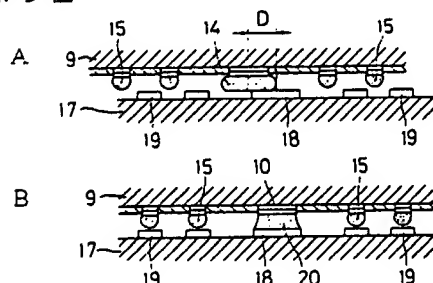
第1図



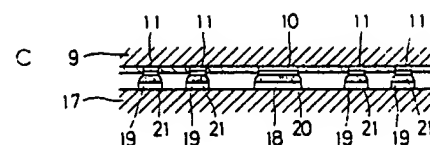
第2図



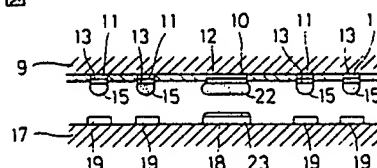
第3図



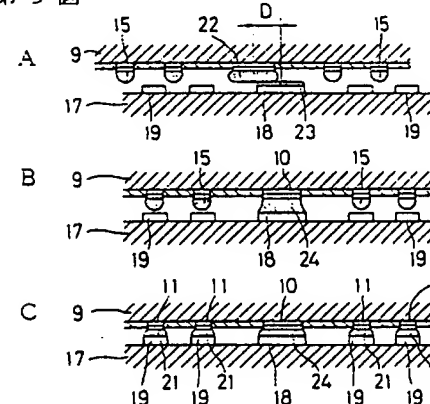
第3図



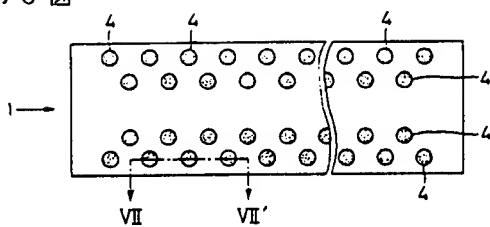
第4図



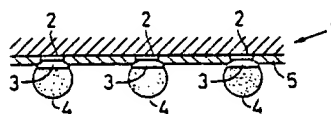
第5図



第 6 図



第 7 図



第 8 図

